

INSTYTUT CYBERNETYKI TECHNICZNEJ
POLITECHNIKI WROCŁAWSKIEJ
Raport serii SPR nr 4/2005

**Moduł z mikrokontrolerem
MC56F8323**

Mariusz Janiak

Słowa kluczowe: mikrokontroler DSP, płytką drukowaną, system uruchomieniowy,
oprogramowanie skrośne.

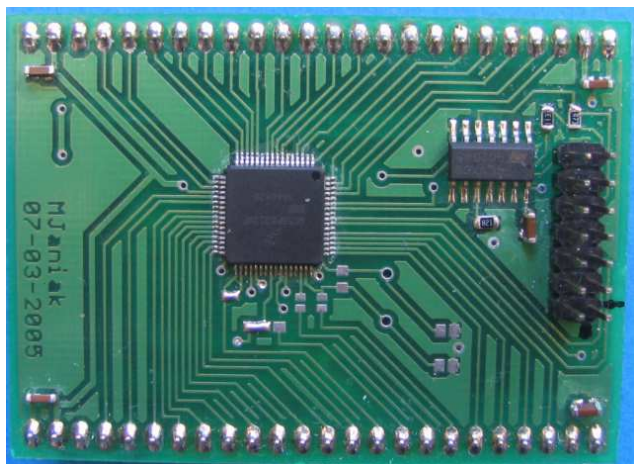
Wrocław 2005

Spis treści

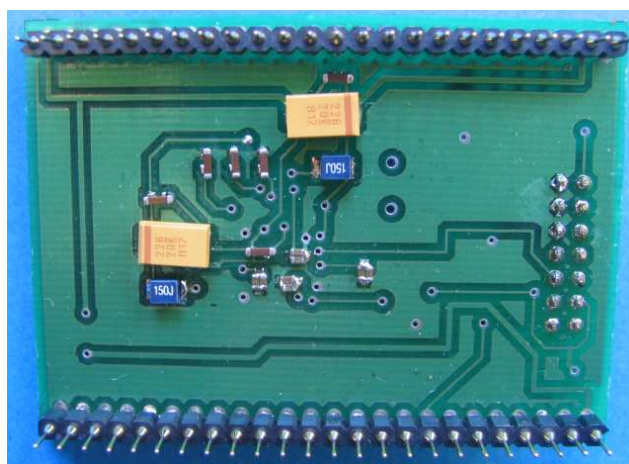
1	Wstęp	2
2	Własności mikrokontrolera MC56F8323	2
3	Schemat i montaż	6
4	Złącza i sygnały	7
5	Uruchomienie sprzętu	10
6	Dokumentacja i oprogramowanie pomocnicze	10
	Literatura	11

1 Wstęp

Opisywana płytki zawiera 16-bitowy hybrydowy mikrokontroler firmy Motorola, układ logiczny dla sygnałów RESET oraz minimalny zestaw elementów (rezonator kwarcowy, zworki do konfiguracji płytki, złącze JTAG, rezystory wymuszające pożądany stan logiczny wybranych sygnałów oraz dławiki i kondensatory filtrujące zasilanie). Wszystkie sygnały mikrokontrolera są wyprowadzone na złącza w standardowym rozstawie (0.1”), co umożliwia dołączenie zewnętrznych rozszerzeń również przy użyciu uniwersalnej płytki drukowanej. Ma to szczególne znaczenie przy projektach badawczych i dydaktycznych, do których płytki jest przeznaczona. Widok modułu przedstawiono na rysunkach 1, 2.



Rysunek 1: Widok modułu – góra



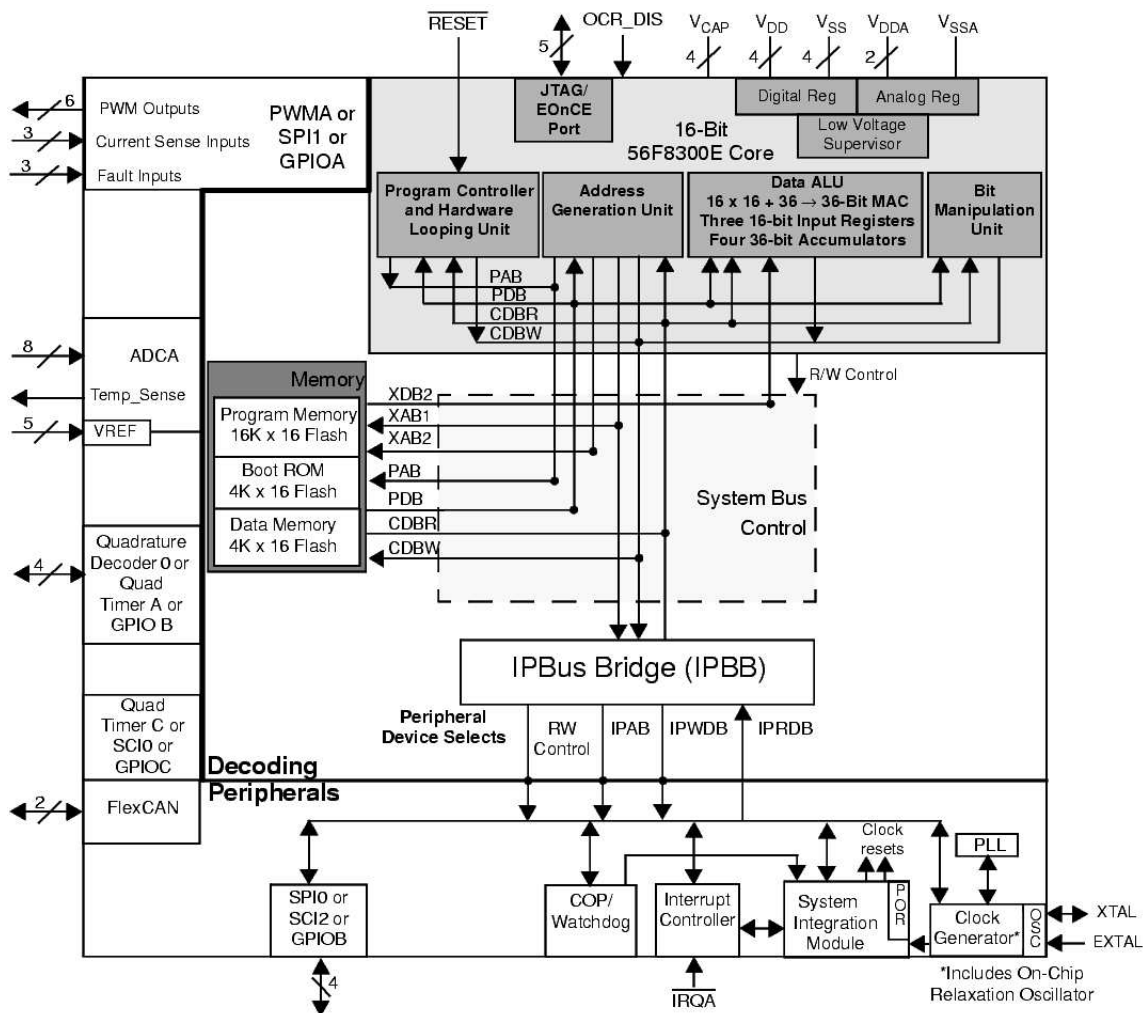
Rysunek 2: Widok modułu – dół

2 Własności mikrokontrolera MC56F8323

MC56F8323 należy do rodziny hybrydowych mikrokontrolerów opartych na rdzeniu 56800E [2]. Łączy w sobie moc obliczeniową procesora sygnałowego DSP i funkcjonalność zwykłego mikrokontrolera z elastycznym, bogatym zestawem peryferii. Dzięki temu idealnie nadaje się do wymagających aplikacji takich jak: układy kontroli i sterowania w samochodach, układy sterowania i regulacji w automatyce i robotyce, urządzenia domowe, inteligentne czujniki, sieci przemysłowe, systemy przeciwpożarowe, układy zarządzania energią.

Rdzeń 56800E oparty jest na architekturze harwardzkiej. Zawiera trzy niezależne jednostki wykonawcze pracujące równolegle. Dzięki temu możliwe jest wykonanie do sześciu operacji w jednym cyklu maszynowym. Model programu zbliżony do stylu programowania zwykłych mikrokontrolerów oraz bogaty zestaw instrukcji pozwala generować efektywny kod o niewielkich rozmiarach zarówno dla operacji DSP jak i operacji kontrolno-sterujących. Umożliwia również efektywne programowanie w językach wyższego rzędu takich jak C.

W mikrokontrolerze MC56F8323 program wykonywany jest w wewnętrznej pamięci (brak zewnętrznej magistrali). Możliwy jest dostęp do jednocześnie dwóch komórek wewnętrznej pamięci RAM w jednym cyklu maszynowym. MC56F8323 posiada jedną dedykowaną linię przerwania zewnętrznego oraz do 27 linii wejścia/wyjścia ogólnego przeznaczenia, w zależności od konfigu-



Rysunek 3: Struktura i zasoby MC56F8323

racji układów peryferyjnych. Strukturę i zasoby mikrokontrolera MC56F8323 [1] przedstawiono na rysunku 3. Podstawowe własności tego mikrokontrolera to:

- jednostka centralna:
 - 16-bitowy rdzeń zgodny z rodziną 56800E o podwójnej architekturze harwardzkiej,
 - 60MIPS przy częstotliwości zegara 60MHz,
 - jednotaktowy 16x16-bitowy równoległy MAC (ang. *Multiplier-Accumulator*),
 - cztery 36-bitowe akumulatory zawierające bity rozszerzeń,
 - jednostka operacji bitowych,
 - zestaw instrukcji wspierających operacje równoległe z unikalnymi trybami adresowania,
 - sprzętowe pętle DO i REP,
 - trzy wewnętrzne magistrale adresowe,

- cztery wewnętrzne magistrale danych,
- tryby adresowania i instrukcje typowe dla mikrokontrolerów,
- efektywny kod wynikowy dla programów pisanych w C,
- programowy stos dla podprogramów i przerwania o głębokości ograniczonej tylko przez dostępną pamięć,
- interfejs JTAG/EOnCE umożliwiający debugowanie i programowanie,
- zasoby pamięciowe:
 - 32kB pamięci programu Flash,
 - 4kB pamięci programu RAM,
 - 8kB pamięci danych Flash,
 - 8kB pamięci danych RAM,
 - 8kB pamięci Boot Flash,
- moduł PWM:
 - 6 kanałów PWM: tryb niezależny; tryb par komplementarnych; tryb mieszany,
 - 15-bitowa rozdzielczość,
 - tryb symetryczny (ang. *Center-Aligned*) i asymetryczny (ang. *Left-Aligned*)
 - możliwość programowania czasu martwego,
 - 3 wejścia wyłączania awaryjnego (ang. *Fault Input*),
 - korekcja wypełnienia niezależnie dla górnego i dolnego sygnału PWM przez trzy wejścia stanu prądu (ang. *Current Sense Input*) lub programowa,
 - możliwość ustawienia polaryzacji niezależnie dla każdego kanału,
 - możliwa modulacja 0% i 100%,
- dwa przetworniki analogowo-cyfrowe (ADCs):
 - 12-bitowa rozdzielczość,
 - jednoczesny pomiar z dwóch wejść lub pomiar sekwencyjny do ośmiu próbek,
 - maksymalna częstotliwość zegara ADC: 5MHz,
 - możliwość pomiarów różnicowych,
 - możliwość korekcji próbek przez odejmowanie wcześniej zaprogramowanego przesunięcia,
 - możliwość zsynchronizowania pomiarów z modułem PWM,
 - możliwość generowania przerwania przy: końcu pomiaru, przekroczeniu zakresu pomiarowego, przejściu sygnału przez zero,
- dwa moduły timerów (TMR):
 - cztery 16-bitowe układy czasowo-licznikowe,
 - możliwość zliczania w obu kierunkach,
 - możliwość łączenia kaskadowego,

- możliwość liczenia modulo,
- zliczanie pojedyncze lub ciągłe,
- praca z ustaloną wartością początkową licznika,
- oddzielny preskaler dla każdego układu czasowo-licznikowego,
- funkcje IC (ang. *Input Capture*) i OC (ang. *Output Compare*) dla każdego z układów czasowo-licznikowych,
- jeden dekodер kwadraturowy:
 - cyfrowe filtry na wejściach, zapewniające zliczanie tylko poprawnych zboczy,
 - 32-bitowy rejestr pozycji,
 - 16-bitowy rejestr różnicy pozycji (aktualnej i ostatnio odczytanej),
 - maksymalna częstotliwość zliczania równa częstotliwości magistrali IPBus ,
 - rejestr pozycji może być inicjalizowany programowo lub przez zewnętrzne zdarzenie,
 - 16-bitowy licznik obrotów w możliwością przeładowania,
 - możliwość podłączenia wejść do licznika ogólnego przeznaczenia w celu pomiaru niewielkich prędkości,
 - układ czuwający (ang. *watchdog*) wykrywający brak sygnału wejściowego,
 - opcjonalnie, możliwość pracy w trybie PPA (ang. *Phase Pulse Accumulator*),
- wbudowany czujnik temperatury (dioda),
- moduł FlexCAN (wersja 2.0 A/B),
- dwa szeregowe interfejsy komunikacyjne SCI (ang. *Serial Communication Interface*),
- dwa szeregowe interfejsy SPI (ang. *Serial Peripheral Interface*),
- układ czuwający COP (ang. *Computer-Operating Properly*),
- jedno wejście zewnętrznego przerwania,
- 27 wejść/wyjść ogólnego przeznaczenia GPIO (ang. *General Purpose I/O*),
- wbudowany układ resetu przy włączeniu zasilania oraz moduł generujący przerwanie przy zbyt niskim napięciu zasilania,
- interfejs JTAG/EOnCE (ang. *Enhanced On-Chip Emulation*) umożliwiający debugowanie procesora w czasie rzeczywistym,
- pętla synchronizacji fazowej (PLL) sterowana programowo,
- wbudowany generator sygnału zegarowego,
- wykonany w technologii CMOS o wysokim stopniu odporności, wejścia tolerują napięcia do 5V, zgodne z logiką TTL,
- wbudowany stabilizator napięcia 2.6V do zasilania wewnętrznej logiki i pamięci,
- dostępne tryby pracy energooszczędnej (Wait i Stop),
- możliwość wyłączenia dowolnego układu peryferyjnego dla oszczędności energii.

Większość wyprowadzeń ma więcej niż jedną funkcję. Wybór funkcji odbywa się przez programowanie odpowiednich rejestrów konfiguracyjnych.

3 Schemat i montaż

Schemat modułu przedstawiono na rysunku 4, mozaikę ścieżek na rysunkach 5 i 6 oraz rozmieszczenie elementów na rysunkach 7 i 8. Zestawienie elementów zawiera tabela 1. Na płycie zamontowano: mikrokontroler MC56F8323 w obudowie LQFP64 (IC1); układ logiczny dla sygnałów reset (bramki IC2B i IC2C); kondensatory i dławiki filtrujące zasilanie; rezystory (R2,R3, R4) wymuszające odpowiednie stany na liniach reset, zapewniające poprawną pracę układu. Przewidziano miejsce na opcjonalny rezonator kwarcowy 8MHz (Q1) oraz elementy pomocnicze (R1, C13, C14), gdyby zaszła potrzeba użycia zewnętrznego sygnału zegarowego. Domyślnie procesor taktowany jest sygnałem z wewnętrznego generatora o częstotliwości 8MHz. Istnieje możliwość zwiększenia częstotliwości sygnału zegarowego do 60 MHz poprzez wykorzystanie wbudowanej pętli synchronizacji fazowej PLL.

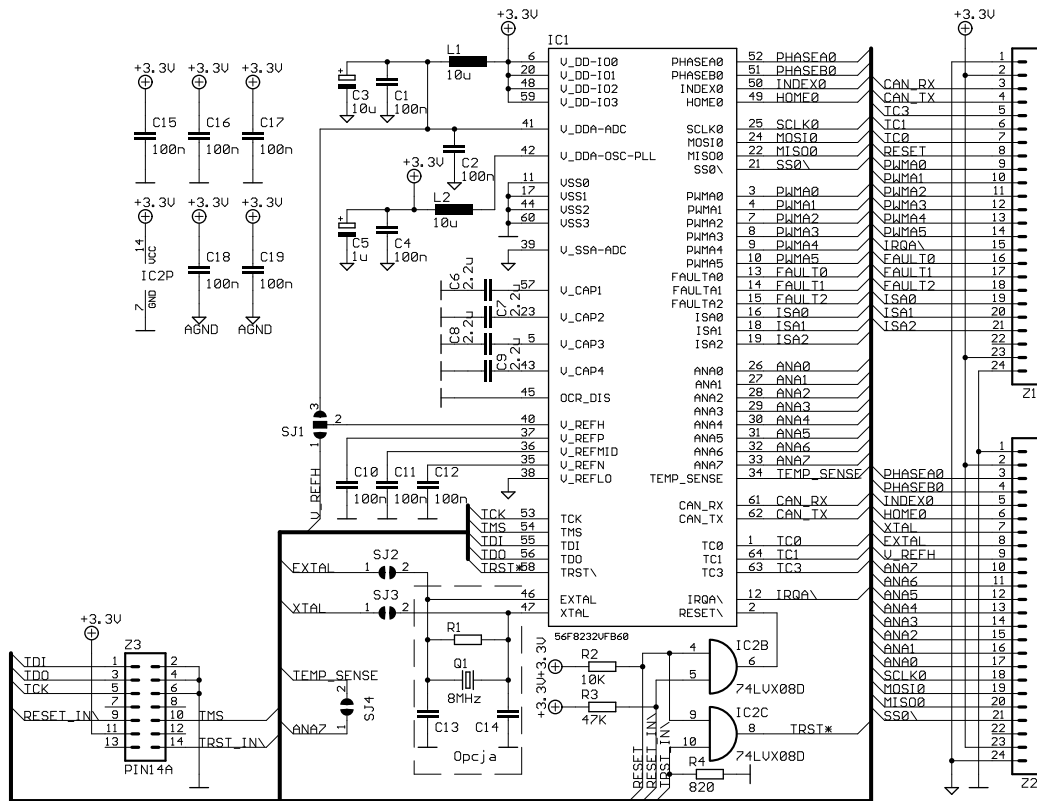
Na płycie umieszczono również cztery zworki SJ1,...,SJ4, umożliwiające zmianę konfiguracji płytki. Poszczególne zworki odpowiadają za:

- SJ1 - wybór źródła napięcia odniesienia V_{REFH} dla przetwornika A/C pomiędzy napięciem zasilania V_{DDA_ADC} a zewnętrznym napięciem (nóżka 9 złącza Z2),
- SJ2 - dołączenie sygnału $EXTAL$ procesora do złącza Z2 (nóżka 8),
- SJ3 - dołączenie sygnału $XTAL$ procesora do złącza Z2 (nóżka 7),
- SJ4 - dołączenie czujnika temperatury $Temp_Sense$ do wejścia $ANA7$ przetwornika A/C.

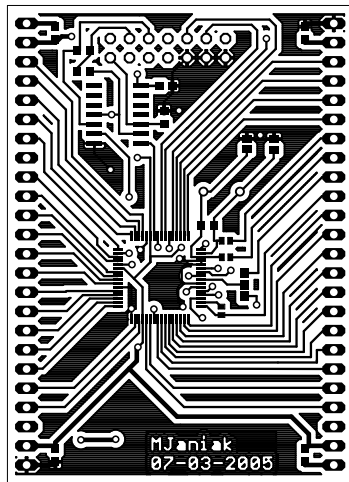
Umieszczone na module 14-stykowe złącze JTAG jest przeznaczone do komunikowania się komputera nadrzędnego z wbudowanym emulatorem w trybie uruchamiania układu i oprogramowania.

Liczba	Wartość	Obudowa	Oznaczenie na schemacie
Rezystory			
1	820	R0603	R4
1	10k	R0603	R2
1	47k	R0603	R3
1		R0603	R1
Kondensatory			
11	100n	C0603	C1, C2, C4, C10, C11, C12, C15, C16, C17, C18, C19
1	1u	CT6032	C5
4	2.2u	C0603	C6, C7, C8, C9
1	10u	CT6032	C3
2		C0504	C13, C14
Dławiki			
2	10u	L3230M	L1, L2
Rezonatory			
1	8MHz	HC49U70	Q1
Układy scalone			
1	56F8232VFB60	LQFP64	IC1
1	74LVX08D	SO14	IC2

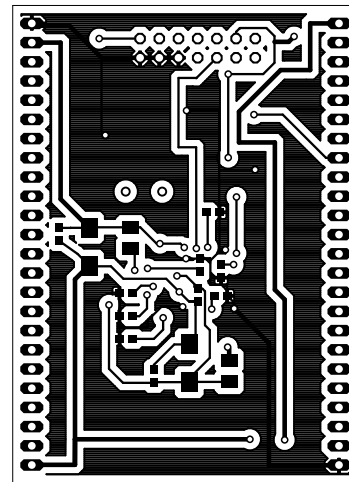
Tabela 1: Zestawienie elementów modułu DSP56F8323



Rysunek 4: Schemat układu



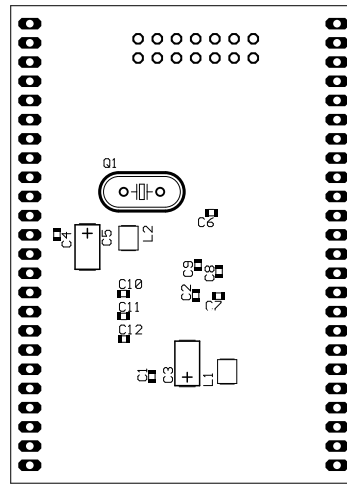
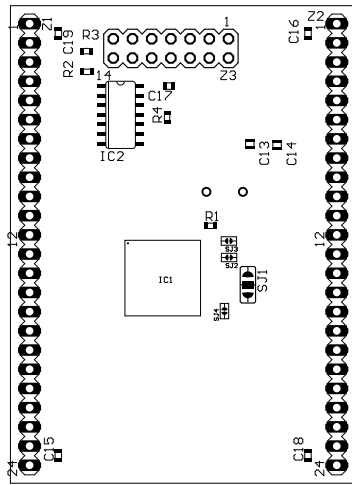
Rysunek 5: Obwód drukowany, warstwa wierzchnia



Rysunek 6: Obwód drukowany, warstwa spodnia

4 Złącza i sygnały

Sygnały mikrokontrolera wyprowadzono na jednorzędowe złącza (Z1 i Z2) zawierające po 24 styków. Użycie listew wtykowych SLP zamontowanych od spodniej strony płytki pozwala włączyć moduł do odpowiednich gniazd zamontowanych na innej płytce urządzenia.



Rysunek 7: Rozmieszczenie elementów, warstwa wierzchnia Rysunek 8: Rozmieszczenie elementów, warstwa spodnia

Rozmieszczenie sygnałów na złączach Z1 i Z2 podano w tabeli 2 a ich opis w tabeli 3. Sygnały na złączu JTAG (Z3) opisano w tabeli 4.

Złącze Z1		Złącze Z2	
1	AGND	1	GND
2	VCC	2	VCC
3	CAN_RX (GPIOC2)	3	PHASEA0/TA0 (GPIOB7)
4	CAN_TX (GPIOC3)	4	PHASEB0/TA1 (GPIOB6)
5	TC3 (GPIOC4)	5	INDEX0/TA2 (GPIOB5)
6	TC1/RXD0 (GPIOC5)	6	HOME0/TA3 (GPIOB4)
7	TC0/TXD0 (GPIOC6)	7	XTAL (GPIOC1)
8	RESET	8	EXTAL (GPIOC0)
9	PWMA0 (GPIOA0)	9	V_REFH
10	PWMA1 (GPIOA1)	10	ANA7
11	PWMA2/SS1 (GPIOA2)	11	ANA6
12	PWMA3/MISO1 (GPIOA3)	12	ANA5
13	PWMA4/MOSI1 (GPIOA4)	13	ANA4
14	PWMA5/SCLK1 (GPIOA5)	14	ANA3
15	IRQA	15	ANA2
16	FaultA0 (GPIOA6)	16	ANA1
17	FaultA1 (GPIOA7)	17	ANA0
18	FaultA2 (GPIOA8)	18	SCLK0 (GPIOB3)
19	ISA0 (GPIOA9)	19	MOSI0 (GPIOB2)
20	ISA1 (GPIOA10)	20	MISO0/RXD1 (GPIOB1)
21	ISA2 (GPIOA11)	21	SS0/TXD1 (GPIOB0)
22	-	22	-
23	VCC	23	VCC
24	GND	24	AGND

Tabela 2: Złącza modułu DSP56F8323

sygnał	wyprowadzenie	typ	opis
EXTAL (GPIOC0)	Z2.8	I/O	wejście zewnętrznego rezonatora kwarcowego, Port C.0
XTAL (GPIOC1)	Z2.7	I/O	wyjście zewnętrznego rezonatora kwarcowego, Port C.1
PHASEA0/TA0 (GPIOB7)	Z2.3	I/O	wejście kanału A dekodera kwadraturowego, timer A - kanał 0, Port B.7
PHASEB0/TA1 (GPIOB6)	Z2.4	I/O	wejście kanału B dekodera kwadraturowego, timer A - kanał 1, Port B.6
INDEX0/TA2 (GPIOB5)	Z2.5	I/O	wejście indeksowe dekodera kwadraturowego, timer A - kanał 2, Port B.5
HOME0/TA3 (GPIOB4)	Z2.6	I/O	wejście czujnika parkowania dekodera kwadraturowego, timer A - kanał 1, Port B.6
SCLK0 (GPIOB3)	Z2.18	I/O	zegar SPI0, Port B.3
MOSI0 (GPIOB2)	Z2.19	I/O	dane SPI0 (ang. <i>Master Out Slave In</i>), Port B.2
MISO0/RXD1 (GPIOB1)	Z2.20	I/O	dane SPI0 (ang. <i>Master In Slave Out</i>), dane odbierane SCI1, Port B.1
$\overline{SS0}$ /TXD1 (GPIOB0)	Z2.21	I/O	we/wy wyboru SPI0 (ang. <i>Slave Select</i>), dane nadawane SCI1, Port B.0
PWMA[0-1] (GPIOA[0-1])	Z1.[9-10]	I/O	kanał [0-1] modulatora PWM, Port A.0
PWMA2/ $\overline{SS1}$ (GPIOA2)	Z1.11	I/O	kanał 2 modulatora PWM, we/wy wyboru SPI1 (ang. <i>Slave Select</i>), Port A.2
PWMA3/MISO1 (GPIOA3)	Z1.12	I/O	kanał 3 modulatora PWM, dane SPI1 (ang. <i>Master In Slave Out</i>), Port A.3
PWMA4/MOSI1 (GPIOA4)	Z1.13	I/O	kanał 4 modulatora PWM, dane SPI1 (ang. <i>Master Out Slave In</i>), Port A.4
PWMA5/SCLK1 (GPIOA5)	Z1.14	I/O	kanał 5 modulatora PWM, zegar SPI1, Port A.3
FaultA[0-2] (GPIOA[6-8])	Z1.[16-18]	I/O	wejście awaryjnego wyłączenia [0-2] modułu PWM, Port A.[6-8]
ISA[0-2] (GPIOA[9-11])	Z1.[19-21]	I/O	wejście stanu prądu [0-2] modułu PWM, Port A.[9-11]
ANA[0-7]	Z2.[17-10]	I	wejście analogowe [0-7]
V_REFH	Z2.9	PWR	górne napięcie odniesienia ADC
CAN_RX (GPIOC2)	Z1.3	I/O	wejście odbiornika CAN, Port C.2
CAN_TX (GPIOC3)	Z1.4	I/O	wyjście nadajnika CAN, Port C.3
TC3 (GPIOC4)	Z1.5	I/O	timer C - kanał 3, Port C.4
TC1/RXD0 (GPIOC5)	Z1.6	I/O	timer C - kanał 1, dane odbierane SCI0, Port C.5
TC0/TXD0 (GPIOC6)	Z1.7	I/O	timer C - kanał 0, dane odbierane SCI0, Port C.6
IRQA	Z1.15	I	zewnętrzne przerwanie
RESET	Z1.8	I	restart
GND	Z1.24, Z2.1	PWR	masa cyfrowa
AGND	Z1.1, Z2.24	PWR	masa analogowa
VCC	Z1.[2,23], Z2.[2,23]	PWR	zasilanie 3.3V

Tabela 3: Sygnały modułu DSP56F8323

TDI	1	2	GND
TDO	3	4	GND
TCK	5	6	GND
	7	8	(key)
$\overline{\text{RESETin}}$	9	10	TMS
+3.3V DC	11	12	
	13	14	$\overline{\text{TRSTin}}$

Tabela 4: Złącze JTAG modułu DSP56F8323

5 Uruchomienie sprzętu

Zarówno sprzęt, jak i oprogramowanie najwygodniej jest uruchamiać przy pomocy złącza JTAG. W tym celu niezbędne jest posiadanie odpowiedniego interfejsu np. ICD (ang. *In-Circuit Debugger*) [6], pozwalającego na współpracę oprogramowania nadrzędnego zainstalowanego na komputerze nadrzędnym z wbudowanym w mikrokontrolerze emulatorem. Dostępne jest zintegrowane środowisko CodeWarrior firmy Metrowerks wraz z darmową licencją. Niestety licencja ta umożliwia tworzenia programów o rozmiarze kodu ograniczonym do 8kB. Więcej szczegółów można znaleźć na stronie <www.metrowerks.com>. Inne narzędzia oraz informacje o nich można znaleźć na stronie <www.freescale.com>.

Istnieje możliwość wgrywania programów do pamięci mikrokontrolera poprzez wykorzystanie odpowiedniego bootladera. W tym celu należy umieścić w pamięci bootflash zmontowanego modułu, oprogramowanie firmowe bootloadera (56F83xx SCI/CAN Bootloader), wykorzystując interfejs JTAG. Bootloader komunikuje się z komputerem nadrzędnym poprzez jeden z interfejsów SCI lub CAN. Podstawowe możliwości bootloadera:

- kasowanie pamięć programu i danych Flash,
- zaprogramowanie pamięć programu i danych Flash, danymi wczytanymi w postaci S-rekordów przez jeden z interfejsów,
- uruchomienie wczytanego programu,

W przypadku korzystania z interfejsu SCI, terminal na komputerze nadrzędnym powinien być skonfigurowany następująco: 115200bps, 8N1, Xon/Xoff. Więcej szczegółów można znaleźć w dokumencie [5].

UWAGA: w celu podłączenia portu szeregowego SCI opisywanego modułu z komputerem nadrzędnym wyposażonym w port szeregowy RS-232C należy użyć układu translacji napięć z TTL do RS232C (np. MAX232)

6 Dokumentacja i oprogramowanie pomocnicze

Dokumentacje mikrokontrolera MC56F8323 oraz całej rodziny 56F8xxx są dostępne na serwerze firmy Freescale <www.freescale.com>.

Oprogramowanie dla procesorów sygnałowych rodziny MC56Fxxxx przygotowuje się głównie w języku assemblera. Można też użyć języków wyższego poziomu takich jak C. Dostępne jest zintegrowane środowisko programistyczne CodeWarrior firmy Metrowerks, zawierające assembler, kompilator C, linker oraz zestaw wygodnych narzędzi wspomagających programowanie tj.

Processor Expert. Dzięki nim tworzenie oprogramowania przebiega sprawniej i szybciej. Rozbudowany zestaw bibliotek, pozwala nawet niezaawansowanemu programiście, szybko rozpocząć programowanie z wykorzystaniem zaawansowanych funkcji matematycznych czy DSP. Niestety darmowa licencja pozwala tworzyć kod o rozmiarze nie przekraczającym 8kB. Więcej szczegółów można znaleźć na stronie <www.metrowerks.com>

Literatura

- [1] *Technical Data 56F8323 16-bit Hybrid Controller*, MC56F8323/D Rev 1.0, Freescale Inc., 2003.
- [2] *DSP56800E 16-bit Digital Signal Processor Core Reference Manual*, DSP56800ERM/D Rev 2.0, Motorola Inc., 2002.
- [3] *MC56F8300 Peripheral User Manual*, MC56F8300UM/D Rev 1.0, Motorola Inc., 2003.
- [4] *MC56F8300 Demonstration Board User Manual*, MC56F8300DBUM/D Rev 3.0, Motorola Inc., 2004.
- [5] *56F83xx SCI/CAN Bootloader User Manual*, MC56F83xxBLUM/D Rev 5, Motorola Inc., 2004.
- [6] M. Janiak *ICD - interfejs uruchomieniowy JTAG dla DSP56800E*, Raport ICT serii SPR nr 5/2005, Wrocław 2005.

Mariusz Janiak
Instytut Cybernetyki Technicznej
Politechniki Wrocławskiej
ul. Janiszewskiego 11/17
50-372 Wrocław

Niniejszy raport otrzymują:

1. OINT - 1 egz.
3. Autor - 3 egz.

Razem : 4 egz.

Raport wpłynął do redakcji I-6
w lipcu 2005 roku.